

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183103

(43)Date of publication of application : 23.07.1993

(51)Int.Cl. H01L 25/10
H01L 25/11
H01L 25/18
H01L 23/12

(21)Application number : 04-000739

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.01.1992

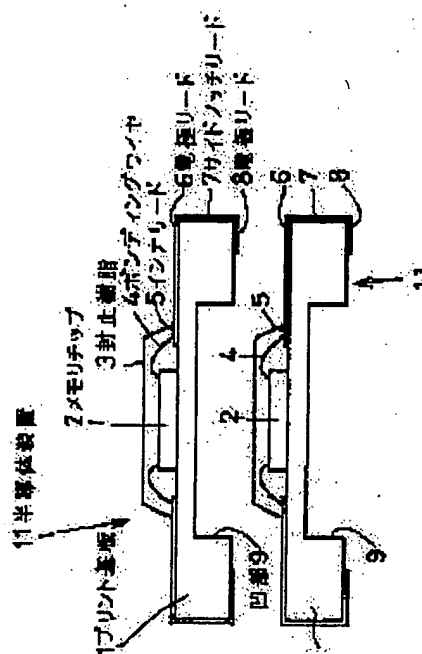
(72)Inventor : HIRAIWA KATSURO

(54) SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE UNIT

(57)Abstract:

PURPOSE: To provide a semiconductor device and semiconductor device unit, wherein a plurality of chips can be piled up in multiple stages and which are low in mass production cost and excellent in production stability, by applying LCC package technique.

CONSTITUTION: Electrode leads 6, side notch leads 7 and electrode leads 8 in predetermined numbers are formed on a printed board 1. Memory chips 2 and inner leads 5 are subjected to wire bonding and resin sealing. A recess 9 for receiving a sealing resin 3 is formed in the surface on the side opposite to the side of the memory chip-mounting surface of the printed board 1 for the purpose of constituting a semiconductor device 11, wherein the chips can be piled up in multiple stages.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-183103

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 25/10

25/11

25/18

7220-4M

H01L 25/14

Z

7352-4M

23/12

L

審査請求 未請求 請求項の数3(全5頁) 最終頁に続く

(21)出願番号 特願平4-739

(22)出願日 平成4年(1992)1月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 平岩 克朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

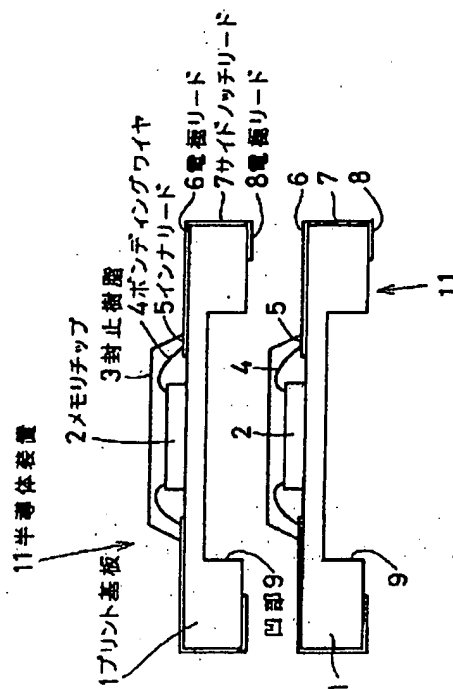
(54)【発明の名称】 半導体装置及び半導体装置ユニット

(57)【要約】

【目的】 本発明は、LCCパッケージを技術を応用し、複数のチップを多段積みになし、かつ量産コストが低く、製造の安定性に優れた半導体装置及び半導体装置ユニットを提供することを目的とする。

【構成】 プリント基板1上に所定数の電極リード6、サイドノッチリード7、電極リード8を形成する。メモリチップ2とインナリード5をワイヤボンディングして樹脂封止する。プリント基板1のメモリチップ搭載面の反対側の面に封止樹脂3が収容される凹部9を形成して多段積み可能な半導体装置11を構成する。

本発明の一実施例の構成を説明する図



【特許請求の範囲】

【請求項1】 樹脂封止された半導体チップ(2)が搭載された基板(1)上に、該半導体チップ(2)と電気接続され、該半導体チップ(2)の搭載面から反対側の面にかけて連続して形成されたリード部(5, 6, 7, 8)を有し、積み重ねた状態で実装される半導体装置であって、

前記基板(1)に樹脂封止された前記半導体チップ

(2)を収容する収納部(9)を設けたことを特徴とする半導体装置。

【請求項2】 請求項1の半導体装置(11)を複数個積み重ねた半導体装置ユニットであって、

各半導体装置(11)に択一的に信号を送ることのできる入力手段(6a, 6b, 6c)を有することを特徴とする半導体装置ユニット。

【請求項3】 前記入力手段(6a, 6b, 6c)は所定の数に分岐したリード部(6a, 6b, 6c)よりなり、該リード部(6a, 6b, 6c)の所定の位置を切除することによって、積み重ねられた所定の半導体装置(11)に択一的に信号を送る構成としたことを特徴とする請求項2記載の半導体装置ユニット。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及び半導体装置ユニットに係り、特に高密度実装される記憶装置に用いて好適な半導体装置及び半導体装置ユニットに関する。

【0002】 近年の記憶装置は集積度が上がり4MDRAM(4メガビットダイナミックランダムアクセスメモリ)が主流になりつつある。

【0003】 従来これ等メモリチップは一チップごとにパッケージングされ基板上に実装されているが、実装密度をさらに上げるには、基板上に複数のメモリチップを多段に積み上げた構造が必要である。

【0004】 よって積み上げ構造に適したメモリモジュールが望まれている。

【0005】

【従来の技術】 高密度実装には、その時点で最も集積度の高いメモリチップを多段積にし、一つのパッケージの実装面積に複数チップが実装された構成とすることが最も良とされる。

【0006】 この様な、多段積を行ったパッケージとしては、TCP(テープキャリアパッケージ)を使用した例が知られており、ICカードなどのような特殊な用途に応用されている。

【0007】 一方、高密度実装用の小型のパッケージとして、リードをなくし、はんだ付け用電極パッドのみを形成したパッケージであるLCC(Leadless Chip Carrier)パッケージが実用化され使用されている。

【0008】

【発明が解決しようとする課題】 しかし、TCPを使用して多段積みを行ったパッケージは未だ製造技術が完成しておらず、製造上の問題点を有しており実用的ではない。

【0009】 そこで本発明は上記課題に鑑みなされたもので、複数のチップを多段積みにでき、且つ、量産コストが低く、製造の安定性に優れた半導体装置を提供することを目的とする。

【0010】

10 【課題を解決するための手段】 請求項1の発明は、樹脂封止された半導体チップが搭載された基板上に、半導体チップと電気接続され、半導体チップの搭載面から反対側の面にかけて連続して形成されたリード部を有し、積み重ねた状態で実装される半導体装置であって、前記基板上に樹脂封止された前記半導体チップを収容する収納部を設けた構成とする。

【0011】 請求項2の発明は、請求項1の半導体装置を複数個積み重ねた半導体装置ユニットであって、各半導体装置に択一的に信号を送ることのできる入力手段を有する構成とする。

20 【0012】 請求項3の発明は、前記入力手段は所定の数に分岐したリード部よりなり、該リード部の所定の位置を切除することによって、積み重ねられた所定の半導体装置に択一的に信号を送る構成とする。

【0013】

【作用】 請求項1の発明において、基板の樹脂封止部の反対側に形成された凹部は、同様に製造された半導体装置を重ね合わせた際に、樹脂封止部を収容し、樹脂封止部が収容された方の基板の下面と樹脂封止部を収容した方の基板の上面が接触するよう作用する。

30 【0014】 請求項2の発明において、積み重ねられた各半導体装置に択一的に信号を送る手段を有した構成は、各半導体装置を別々に動作可能とする。

【0015】 請求項3の発明において、リード部を分岐して所定の分岐部を切除することは、簡単な方法によって各段の半導体装置の夫々だけに導通する電気回路を構成し、択一的に信号を送ることを可能とする。

【0016】

【実施例】 図1は本発明の一実施例の構成を説明する図である。本実施例はメモリチップ、例えば64KビットのSRAM(スタティックランダムアクセスメモリ)、を積み重ね得る構造の半導体装置である。

【0017】 厚さ約1.6mmのプリント基板1には、メモリチップ2を搭載する側に、メモリチップ2の電極数に相当する数の電極リード6がエッチング法等により形成されている。そして電極リードが形成された面の反対側には各々の電極リードに対応して電極リード8がやはりエッチング法等により形成されている。

40 【0018】 基板1の側面には各々の対応する電極リード6, 8の間に半円状の切欠部10(図2参照)が形成

され、その切欠部の内面にはサイドノッチリード7が形成されており、電極リード6と8とを電氣的に接続している。

【0019】この切欠部10及びサイドノッチリード7は、プリント基板1の所定位置にドリルで穴をあけ、その穴にスルーホールメッキを施した後に、半円状の切欠部10を残して他の部分を金型打ち抜き等で除去することにより形成される。

【0020】プリント基板1の電極リード8側、つまりメモリチップ2を搭載する側の反対側の面には、凹部9が形成されている。この凹部9はメモリチップ2が封止された封止樹脂3が収容される位置及び大きさに形成されている。

【0021】以上のように形成されたプリント基板1上にメモリチップ2が搭載され、接着剤（例えば銀ペースト）で固定された後、メモリチップ2の端子と電極リード6の先端部のインナリード5はワイヤボンディングされる。

【0022】そして、メモリチップ2、ボンディングワイヤ4、インナリード5を覆うように封止樹脂（エポキシ樹脂）で封止し半導体装置11ができあがる。

【0023】このように、半導体装置11のメモリチップ2の樹脂封止部はプリント基板1から突出して形成されており、このままでは半導体装置11の多段積みはできない。ところが、プリント基板1には凹部9が形成されているために、突出した樹脂封止部は凹部9に収納され、多段積みが可能となる。

【0024】ここで、本実施例のメモリチップ2であるSRAMは複数個のSRAMを使用する際に、外部から信号を入力されたSRAMだけが作動し、信号が入力されないRAMは作動しない機能を有している。よってメモリチップ2はこの信号入力用の端子であるCS（チップセレクト）端子を有している。

【0025】従って、半導体装置11を複数個積み重ねた状態（図3参照）においては、最下部に位置する半導体装置11の電極リード8から、択一的に作動させようとする半導体装置11のCS端子へ信号を送らなければならないという問題が生じる。

【0026】そこで、本実施例では、図2に示すように、CS端子に接続されている電極リードを、積み重ねる個数分だけ分岐させ（本実施例では3個とした）電極リード6a、6b、6cを形成することにより上記問題を解決している。

【0027】図3に示す、半導体装置11が3個積み重ねられて構成された半導体装置ユニット12において各半導体装置11はそれぞれ分岐した電極リード6a1～3、6b1～3、6c1～3を有している。そして、あらかじめ1つの半導体装置11上の3本の分岐した電極リード6a、6b、6cのうち所定の1本だけを残して他は、導通しないように途中が切除されている。この切

除作業はレーザ光を照射する方法等により簡単に行うことができる。

【0028】ここで、図3のサイドノッチリード7aに電気信号が送られて来たとすると、1段目の電極リード6a1及び2段目の電極リード6a2は途中が切除されているため、3段目の電極リード6a3を通じて3段目の半導体装置11のメモリチップ2のCS端子に信号は入力される。従って、この場合3段目のメモリチップ2だけが作動することとなる。

10 【0029】次にサイドノッチリード7bに信号が入力された場合6b1及び6b3は切除されているため、6b2を通じてのみ信号は入力され、2段目のメモリチップ2だけが作動する。

【0030】同様にサイドノッチリード7cに信号が入力された場合は1段目のメモリチップ2だけが作動する。

20 【0031】上記の構成によれば半導体装置11をn段積み重ねる場合はn個に分岐した電極リードを設ければ択一的に信号を希望の段数の位置のメモリチップへ送ることができる。

【0032】以上のように本実施例の半導体装置11は従来量産実績のあるLCCタイプの半導体装置であるため製造原価が低く、安定した品質で且つ多段積みが可能となり、実装密度を高めることができる。

【0033】尚、半導体装置11を重ね合わせた後は、多段の電氣的接続を行うためサイドノッチリード7を半田浸漬する。これにより、各段の半導体装置11は互いに固定されることとなる。

30 【0034】ところが、次にこの半導体装置11を重ね合わせた半導体装置ユニット12を実装基板に搭載する際に、加えられる熱によりサイドノッチリード7の半田が再溶融し、各段の位置がずれるおそれがある。この場合には半田浸漬後にサイドノッチリード7以外の部分に各段にわたり接着剤を塗布することにより各段の半導体装置11は固定される。

【0035】また、図1に示す半導体装置11の変形例として、プリント基板1のメモリチップ2の搭載部分に凹部を形成し、メモリチップ2及びボンディングワイヤ4を樹脂封止した半導体装置とすることもできる。この場合、プリント基板1の凹部は封止樹脂によって埋められ、この半導体装置は両面にリード端子が露出した平面的な形状となり、積み重ねることができる。

【0036】

【発明の効果】上述の如く、請求項1の発明によれば従来のLCCタイプの半導体装置を使用することにより、安価で品質が安定しており、且つ多段積みの可能な半導体装置を製造することができる。よって高密度実装を実現できる。

50 【0037】また、請求項2及び3の発明によれば多段積みされた半導体装置の各段に択一的に信号を送ること

ができ、各段の半導体を別々に作動させる機能を有した半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を説明する図である。

【図2】図1の実施例の電極リード部を示す斜視図である。

【図3】図1の半導体装置を積み重ねた斜視図である。

【符号の説明】

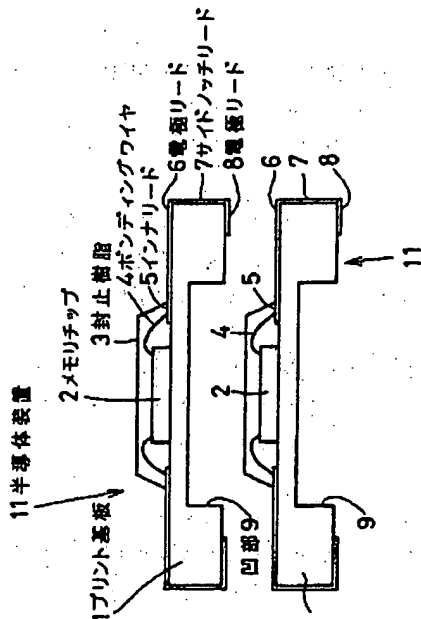
- 1 プリント基板
- 2 メモリチップ

- 3 封止樹脂
- 4 ボンディングワイヤ
- 5 インナリード
- 6, 6a, 6b, 6c, 8 電極リード
- 7, 7a, 7b, 7c サイドノッチリード
- 9 凹部
- 10 切欠部
- 11 半導体装置
- 12 半導体装置ユニット

10

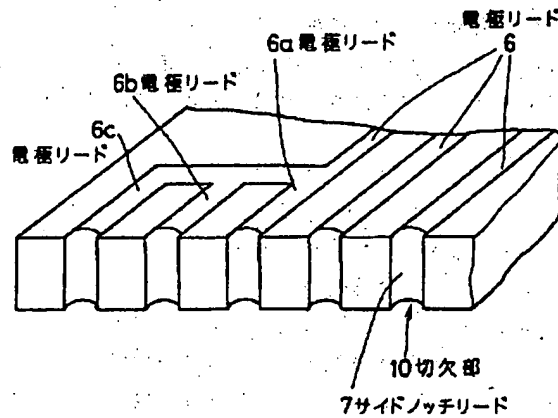
【図1】

本発明の一実施例の構成を説明する図



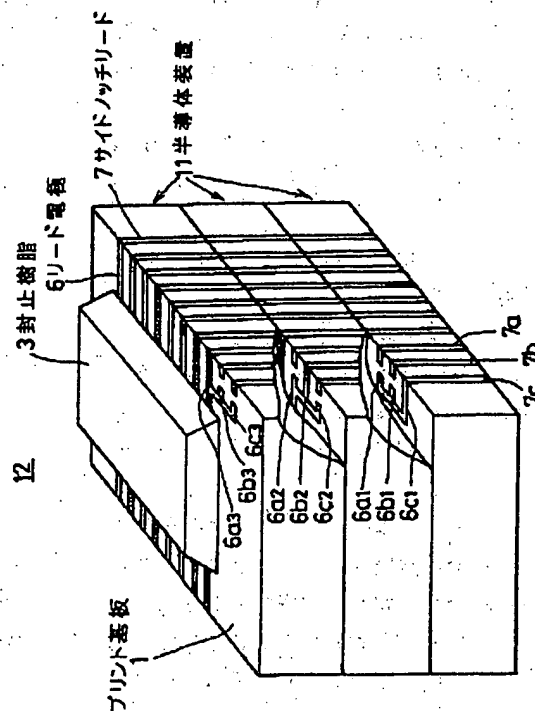
【図2】

図1の実施例の電極リード部を示す図



【図3】

図1の半導体装置を積み重ねた図



フロントページの続き

(51)Int.Cl.⁵

H 0 1 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所